

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-152666
(43)Date of publication of application : 23.05.2003

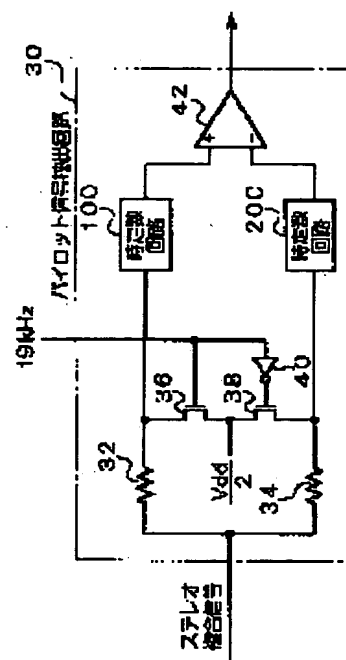
(51)Int.Cl. H04H 5/00
H04B 1/16

(21)Application number : 2001-348054 (71)Applicant : NIIGATA SEIMITSU KK
(22)Date of filing : 13.11.2001 (72)Inventor : MIYAGI HIROSHI

(54) PILOT SIGNAL EXTRACTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pilot signal extracting circuit which can be integrally formed on a semiconductor wafer.
SOLUTION: A pilot signal contained in an FM stereo composite signal outputted from an FM detecting circuit is detected and a detecting signal corresponding to the voltage level (amplitude) of that pilot signal is generated. A pilot signal extracting circuit 30 is provided with time constant circuits 100 and 200. This time constant circuit 100 or the like is equipped with a charging circuit for intermittently charging a capacitor thereof and a discharging circuit for intermittently discharging the capacitor and by performing intermittent charging/discharging operation on the capacitor of small electrostatic capacitance, a great time constant is set.



LEGAL STATUS

[Date of request for examination] 26.10.2004
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-152666

(P2003-152666A)

(43) 公開日 平成15年5月23日 (2003.5.23)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)
H 0 4 H 5/00		H 0 4 H 5/00	G 5 K 0 6 1
H 0 4 B 1/16		H 0 4 B 1/16	R 5 K 0 6 8

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2001-348054(P2001-348054)

(22) 出願日 平成13年11月13日 (2001.11.13)

(71) 出願人 591220850

新潟精密株式会社

新潟県上越市西城町2丁目5番13号

(72) 発明者 宮城 弘

新潟県上越市西城町2丁目5番13号 新潟
精密株式会社内

(74) 代理人 100103171

弁理士 雨貝 正彦

Fターム(参考) 5K061 AA01 AA07 BB05 CC27 JJ11

5K068 AA10 BA01 BB01 CA05 CB02

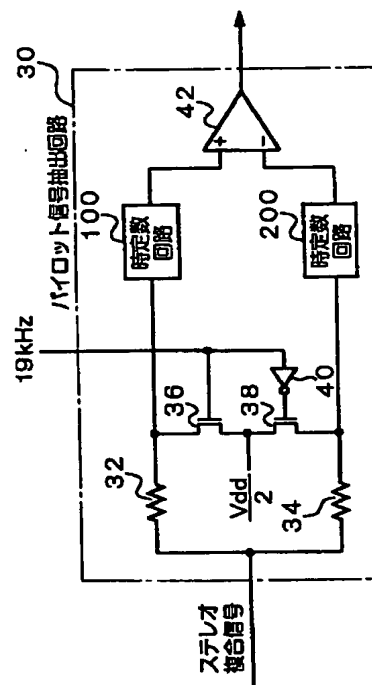
CC04 CC09 CC12 DB03

(54) 【発明の名称】 パイロット信号抽出回路

(57) 【要約】

【課題】 半導体基板上に一体形成することができるパイロット信号抽出回路を提供すること。

【解決手段】 FM検波回路から出力されるFMステレオ複合信号に含まれるパイロット信号を検出し、その電圧レベル(振幅)に応じた検出信号を生成する。パイロット信号抽出回路30には、時定数回路100、200が含まれている。この時定数回路100等は、このコンデンサを間欠的に充電する充電回路と、間欠的に放電させる放電回路とを備えており、小さな静電容量のコンデンサに対して間欠的な充放電動作を行うことにより、大きな時定数が設定されている。



【特許請求の範囲】

【請求項 1】 FMステレオ複合信号に含まれるパイロット信号に同期した信号を用いて、FMステレオ複合信号に対する同期検波を行う同期検波回路と、

前記同期検波による検波出力を所定の時定数で平滑する時定数回路と、

前記時定数回路の出力電圧に基づいて前記パイロット信号の検出信号を生成する検出信号生成回路とを有するパイロット信号抽出回路において、

前記時定数回路は、

コンデンサと、

前記コンデンサの端子電圧と入力電圧とを比較する電圧比較器と、

前記端子電圧よりも前記入力電圧の方が相対的に高い場合に、前記コンデンサを間欠的に充電する充電回路と、

前記端子電圧の方が前記入力電圧よりも相対的に低い場合に、前記コンデンサから間欠的に放電電流を放出する放電回路と、

を備えることを特徴とするパイロット信号抽出回路。

【請求項 2】 請求項 1 において、

前記充電回路は、前記コンデンサに所定の充電電流を供給する電流供給部と、前記電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第 1 のタイミング制御部とを含んで構成されており、

前記放電回路は、前記コンデンサから所定の放電電流を放出する電流放出部と、前記電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第 2 のタイミング制御部とを含んで構成されていることを特徴とするパイロット信号抽出回路。

【請求項 3】 請求項 2 において、

前記時定数回路は、前記第 1 および第 2 のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせる充放電速度設定手段をさらに備えることを特徴とするパイロット信号抽出回路。

【請求項 4】 請求項 3 において、

前記第 1 および第 2 のタイミング制御部のそれぞれは、所定のデューティ比を有するパルス信号に基づいて前記タイミングの制御を行うスイッチを有しており、

前記充放電速度設定手段は、充電用の前記パルス信号のデューティ比と放電用の前記パルス信号のデューティ比を異ならせることを特徴とするパイロット信号抽出回路。

【請求項 5】 請求項 2 において、

前記時定数回路は、前記電流供給部によって供給される充電電流と前記電流放出部によって放出される放電電流を異ならせる充放電速度設定手段をさらに備えることを特徴とするパイロット信号抽出回路。

【請求項 6】 請求項 5 において、

前記電流供給部および前記電流放出部のそれぞれは、所

定の基準電圧がゲートに印加されるトランジスタによって構成されており、

前記充放電速度設定手段は、充電用の前記トランジスタと放電用の前記トランジスタのゲート寸法を異ならせることを特徴とするパイロット信号抽出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、FM検波された後のステレオ複合信号に含まれるパイロット信号を検出するパイロット信号抽出回路に関する。

【0002】

【従来の技術】FM受信機は、FM検波された後のステレオ複合信号からL信号およびR信号を再生するFM復調回路を有している。このFM復調回路は、マトリックス方式とスイッチング方式に大別されるが、いずれの方式においてもステレオ複合信号に重畳されたパイロット信号を用いてL信号とR信号の抽出を行っている点で共通している。このパイロット信号は非常に微弱であるとともに、それ以外の成分による電圧変動があるため、単純に所定の閾値電圧と比較しただけでは、このパイロット信号を抽出することは困難である。このため、ステレオ復調回路内では、PLL（位相同期ループ）回路を用いてこの微弱なパイロット信号に同期した信号を生成している。

【0003】また、FM放送の中には、ステレオ放送以外にモノラル放送が存在するため、正確にパイロット信号の有無を検出して、ステレオ放送とモノラル放送の判別を行う必要がある。従来、この判別は、ステレオ復調回路内で発生したパイロット信号に同期した信号を用いて、ステレオ複合信号に対して同期検波を行って、微弱なパイロット信号のみを累積することにより行われていた。

【0004】図7は、従来のパイロット信号抽出回路の構成を示す図である。このパイロット信号抽出回路200では、パイロット信号に同期した19kHzの信号を用いてステレオ複合信号に対する同期検波が行われ、パイロット信号の電圧レベルに応じてコンデンサ202が徐々に充電されて、その両端電圧に応じた電圧レベルを有する検出信号が差動増幅器204から出力される。

【0005】

【発明が解決しようとする課題】ところで、上述した従来のパイロット信号抽出回路200では、同期検波によって抽出されたパイロット信号の電圧レベルを累積するために、大きな時定数のコンデンサが必要になる。したがって、このコンデンサの占有面積が大きくなるため、コスト面からのチップ面積の制約を考慮すると、パイロット信号抽出回路を半導体基板上に一体形成することができないという問題があった。

【0006】本発明は、このような点に鑑みて創作されたものであり、その目的は、半導体基板上に一体形成す

ることができるパイロット信号抽出回路を提供することにある。

【0007】

【課題を解決するための手段】上述した課題を解決するために、本発明のパイロット信号抽出回路は、FMステレオ複合信号に含まれるパイロット信号に同期した信号を用いてFMステレオ複合信号に対する同期検波を行う同期検波回路と、同期検波による検波出力を所定の時定数で平滑する時定数回路と、時定数回路の出力電圧に基づいてパイロット信号の検出信号を生成する検出信号生成回路とを有している。また、時定数回路は、コンデンサと、コンデンサの端子電圧と入力電圧とを比較する電圧比較器と、端子電圧よりも入力電圧の方が相対的に高い場合にコンデンサを間欠的に充電する充電回路と、端子電圧の方が入力電圧よりも相対的に低い場合にコンデンサから間欠的に放電電流を放出する放電回路とを備えている。コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、小さな静電容量のコンデンサを用いた場合であってもパイロット信号抽出回路内の時定数回路に大きな時定数を設定することができ、パイロット信号抽出回路全体を半導体基板上に一体形成することが可能となる。

【0008】また、コンデンサに所定の充電電流を供給する電流供給部と、電流供給部による充電電流の間欠的な供給動作のタイミングを制御する第1のタイミング制御部とを含んで充電回路を構成するとともに、コンデンサから所定の放電電流を放出する電流放出部と、電流放出部による放電電流の間欠的な放出動作のタイミングを制御する第2のタイミング制御部とを含んで放電回路を構成することが望ましい。電流供給部による充電電流の供給動作のタイミングと電流放出部による放電電流の放出動作のタイミングを制御することにより、コンデンサの間欠的な放電動作を容易に制御することができる。

【0009】また、上述した時定数回路は、第1および第2のタイミング制御部によって制御される充電電流の間欠的な供給時間と放電電流の間欠的な放出時間を異ならせる充放電速度設定手段をさらに備えることが望ましい。充放電動作が行われる時間そのものを異ならせることにより、パイロット信号を新たに検出する応答時間と、一旦検出されたパイロット信号が消失したことを検出する応答時間を異ならせることができる。

【0010】また、第1および第2のタイミング制御部のそれぞれが、所定のデューティ比を有するパルス信号に基づいてタイミングの制御を行うスイッチを有している場合に、上述した充放電速度設定手段は、充電用のパルス信号のデューティ比と放電用のパルス信号のデューティ比を異ならせることが望ましい。これにより、充電時間と放電時間とを異ならせる制御が容易となる。

【0011】また、上述した時定数回路は、電流供給部によって供給される充電電流と電流放出部によって放出される放電電流を異ならせる充放電速度設定手段をさらに備えることが望ましい。充電電流値と放電電流値とを異ならせることにより、パイロット信号を新たに検出する応答時間と、一旦検出されたパイロット信号が消失したことを検出する応答時間を異ならせることができる。

【0012】また、電流供給部および電流放出部のそれぞれが、所定の基準電圧がゲートに印加されるトランジスタによって構成されている場合に、上述した充放電速度設定手段は、充電用のトランジスタと放電用のトランジスタのゲート寸法を異ならせることが望ましい。これにより、充電電流値と放電電流値とを異ならせる制御が容易となる。

【0013】

【発明の実施の形態】以下、本発明を適用した一実施形態のパイロット信号抽出回路について詳細に説明する。図1は、本実施形態のパイロット信号抽出回路を含むFM受信機の構成を示す図である。図1に示すFM受信機は、高周波増幅回路11、混合回路12、局部発振器13、中間周波フィルタ14、16、中間周波増幅回路15、リミット回路17、FM検波回路18、ステレオ復調回路19、パイロット信号抽出回路30を含んで構成されている。

【0014】アンテナ20によって受信したFM変調波信号を高周波増幅回路11によって増幅した後、局部発振器13から出力される局部発振信号を混合することにより、高周波信号から中間周波信号への変換を行う。中間周波フィルタ14、16は、中間周波増幅回路15の前段および後段に設けられており、入力される中間周波信号から所定の帯域成分のみを抽出する。中間周波増幅回路15は、中間周波フィルタ14、16を通過する一部の中間周波信号を増幅する。

【0015】リミット回路17は、入力される中間周波信号を高利得で増幅する。FM検波回路18は、リミット回路17から出力される振幅一定の信号に対してFM検波処理を行う。ステレオ復調回路19は、FM検波回路18から出力されるFM検波後のステレオ複合信号に対してステレオ復調処理を行って、L信号およびR信号を生成する。また、このステレオ復調回路19は、19kHzのパイロット信号に同期した38kHzの同期信号を生成しており、この同期信号を分周した19kHzの同期信号が外部に出力されている。

【0016】パイロット信号抽出回路30は、FM検波回路18から出力されるFMステレオ複合信号に含まれるパイロット信号を抽出し、その電圧レベル（振幅）に応じた検出信号を生成する。図2は、パイロット信号抽出回路30の詳細な構成を示す図である。図2に示すように、パイロット信号抽出回路30は、抵抗32、34、FET36、38、インバータ回路40、差動増幅

器42、時定数回路100、200を含んで構成されている。

【0017】一方のFET36は、ゲートにステレオ復調回路19から出力される19kHzの同期信号が入力されており、ドレインが抵抗32の一方端および時定数回路100の入力端に共通に接続され、ソースが固定電位($V_{dd}/2$)に接続されている。また、他方のFET38は、ゲートにステレオ復調回路19から出力される19kHzの同期信号がインバータ回路40を介して入力されており、ソースが抵抗34の一方端および時定数回路200の入力端に共通に接続され、ドレインが固定電位($V_{dd}/2$)に接続されている。さらに、一方の時定数回路100の出力端が差動増幅器42の非反転入力端子に、他方の時定数回路200の出力端が差動増幅器42の反転入力端子にそれぞれ接続されている。

【0018】19kHzの同期信号によって周期的にFET36がオン状態になって抵抗32の一方端が固定電位に接続される。このため、FET36がオフ状態の間だけパイロット信号が時定数回路100に入力される。特に、19kHzの同期信号はパイロット信号に同期しているため、例えばパイロット信号の電圧が V_{dd}/d を超える半周期分のみが抽出される同期検波が行われ、その検波出力が時定数回路100に入力される。

【0019】一方、19kHzの同期信号を反転した信号によって周期的にFET38がオン状態になって抵抗34の一方端が固定電位に接続される。このため、FET38がオフ状態の間だけパイロット信号が時定数回路200に入力される。例えば、パイロット信号の電圧が $V_{dd}/2$ よりも低くなる半周期分のみが抽出される同期検波が行われ、その検波出力が時定数回路200に入力される。

【0020】時定数回路100は、抵抗32を介して入力されるパイロット信号の半周期分を、所定の時定数で平滑する。また、時定数回路200は、抵抗34を介して入力されるパイロット信号の残りの半周期分を、所定の時定数で平滑する。したがって、パイロット信号の振幅が大きくなると、時定数回路100、200の出力電圧がともに上昇し、差動増幅器42から出力される検出信号の電圧レベルが大きくなる。反対に、パイロット信号の振幅が小さくなったり、パイロット信号自体がなくなると、時定数回路100、200の出力電圧が低下し、差動増幅器42から出力される検出信号の電圧レベルが小さくなる。

【0021】図3は、時定数回路100の原理ブロックを示す図である。なお、時定数回路200も基本的に同じ構成を有している。図3に示すように、本実施形態の時定数回路100は、コンデンサ110、電圧比較器112、充電回路114、放電回路116、充放電速度設定部118を備えている。電圧比較器112は、コンデンサ110の端子電圧と入力電圧とを比較し、この比較

結果に応じて充電回路114あるいは放電回路116の動作を有効にする。充電回路114は、間欠的に充電電流を供給することによりコンデンサ110を充電する。例えば、この充電回路114は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ110に対して充電電流が供給される。また、放電回路116は、間欠的に放電電流を流すことによりコンデンサ110を放電する。例えば、この放電回路116は、定電流回路とスイッチとを含んで構成されており、スイッチがオン状態になったときにコンデンサ110から一定の電流が放出される。充放電速度設定部118は、充電回路114によるコンデンサ110の充電速度と放電回路116によるコンデンサ110の放電速度を設定する。この充放電速度設定部118が充放電速度設定手段に対応しており、具体的な内容については後述する。

【0022】このように、本実施形態の時定数回路100は、コンデンサ110に対して間欠的な充放電動作を行っている。このため、コンデンサ110の静電容量を小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサを使用した場合と同等の充放電特性を得ることができる。また、充電回路114や放電回路116では、所定の電流をコンデンサ110に供給、あるいはコンデンサ110から放出する制御を行うが、これらの供給、放出動作は間欠的に行われるため、その際の電流値をIC化に適したある程度大きな値に設定することができる。したがって、時定数回路100、200を含むパイロット信号抽出回路30全体を半導体基板上に形成してIC化することが可能になる。また、コンデンサ等の外付け部品が不要になるため、パイロット信号抽出回路30全体を大幅に小型化することができる。

【0023】また、本実施形態の時定数回路100は、充放電速度設定部118によってコンデンサ110に対する充電速度と放電速度が異なるように設定されている。このように、充放電動作が行われる時間そのものを異ならせることにより、パイロット信号を新たに検出する感度(応答時間)と、一旦検出されたパイロット信号が消失したことを検出する感度(応答時間)を異ならせることができる。これにより、例えばパイロット信号を検出してからFMステレオ処理を開始するまでの時間と、パイロット信号の消失を検出してからモノラル処理を開始するまでの時間を異ならせることが容易となる。

【0024】図4は、時定数回路100の具体的な構成を示す回路図である。図4に示すように、時定数回路100は、コンデンサ110、定電流回路140、FET142、144、150、154、156、スイッチ146、152、電圧比較器160、アンド回路162、164、分周器170を含んで構成されている。

【0025】2つのFET142、144によってカレ

ントミラー回路が構成されており、定電流回路140から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ146によって決定される。スイッチ146は、インバータ回路1とアナログスイッチ2とFET3によって構成されている。アナログスイッチ2は、pチャネルFETとnチャネルFETの各ソース・ドレイン間を並列接続することにより構成されている。アンド回路162の出力信号が直接nチャネルFETのゲートに入力されているとともに、この出力信号の論理をインバータ回路1によって反転した信号がpチャネルFETのゲートに入力されている。したがって、このアナログスイッチ2は、アンド回路162の出力信号がハイレベルのときにオン状態になって、反対にローレベルのときにオフ状態になる。また、FET3は、アナログスイッチ2がオフ状態のときにFET144のゲート・ドレイン間を低抵抗で接続することにより、FET144による電流供給動作を確実に停止させるためのものである。

【0026】スイッチ146がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET144のゲートとが接続された状態になるため、一方のFET142に接続された定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET144のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ110に供給される。反対に、スイッチ146がオフ状態になると、FET144のゲートがドレインに接続された状態になるため、この充電電流の供給が停止される。

【0027】上述した定電流回路140および2つのFET142、144が電流供給部に対応する。スイッチ146、アンド回路162が第1のタイミング制御部に対応する。また、上述したFET142と定電流回路140にFET150を組み合わせることで、コンデンサ110の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ152によって決定される。スイッチ152はスイッチ146と同じ構成を有している。このスイッチ152は、アンド回路164の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

【0028】スイッチ152がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET150のゲートとが接続された状態になるため、定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET150のソース・ドレイン間にも流れる。この電流が、コンデンサ110に蓄積された電荷を放出する放電電流になる。

【0029】但し、FET150に流れる電流をコンデンサ110から直接取り出すことはできないため、本実施形態では、FET150のソース側にFET154、

156によって構成される別のカレントミラー回路が接続されている。2つのFET154、156はゲート同士が接続されており、FET154に上述した放電電流が流れたときに、同じ電流が他方のFET156のソース・ドレイン間にも流れるようになっている。このFET156は、ドレインがコンデンサ110の高電位側の端子に接続されており、FET156に流れる電流は、コンデンサ110に蓄積された電荷が放出されることによって生成される。

【0030】上述した定電流回路140および4つのFET142、150、154、156が電流放出力部に対応する。スイッチ152、アンド回路164が第2のタイミング制御部に対応する。また、電圧比較器160は、プラス端子に印加されるコンデンサ110の端子電圧と、マイナス端子に印加される時定数回路100の入力電圧との大小比較を行う。この電圧比較器160は、非反転出力端子と反転出力端子を有しており、プラス端子に印加されるコンデンサ110の端子電圧の方がマイナス端子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子に印加されるコンデンサ110の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

【0031】アンド回路162は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器160の非反転出力端子が接続されている。したがって、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも大きい場合に、アンド回路162から所定のパルス信号が出力される。

【0032】また、アンド回路164は、一方の入力端子に分周器170から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器160の反転出力端子が接続されている。したがって、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも小さい場合に、アンド回路164から所定のパルス信号が出力される。上述した分周器170が充放電速度設定手段に対応する。

【0033】分周器170は、アンド回路162の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。上述したように、この分周後のパルス信号は、アンド回路164の一方の入力端子に入力される。時定数回路100はこのような構成を有しており、次にその動作を説明する。

【0034】時定数回路100の動作開始時にコンデンサ110が充電されていない場合や、時定数回路100の入力電圧が上昇傾向にある場合には、コンデンサ110の端子電圧の方が時定数回路100の入力電圧よりも低い状態にある。このとき、アンド回路162からパル

ス信号が出力され、アンド回路 164 からはパルス信号が出力されない。したがって、スイッチ 146 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ 110 に供給される。この充電動作は、コンデンサ 110 の端子電圧が時定数回路 100 の入力電圧よりも相対的に高くなるまで継続される。

【0035】また、この充電動作によってコンデンサ 110 の端子電圧が時定数回路 100 の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ 110 の端子電圧よりこの入力電圧の方が低い場合には、アンド回路 164 からパルス信号が出力され、アンド回路 162 からはパルス信号が出力されない。したがって、スイッチ 152 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ 110 から放出される。この放電動作は、コンデンサ 110 の端子電圧が時定数回路 100 の入力電圧よりも相対的に低くなるまで継続される。

【0036】また、上述した 2 つのアンド回路 162、164 から出力される 2 種類のパルス信号を比較すると、アンド回路 162 から出力されるパルス信号のデューティ比の方がアンド回路 164 から出力されるパルス信号のデューティ比よりも大きいため、2 つのアンド回路 162、164 のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。

【0037】なお、上述した時定数回路 100 では、2 つのアンド回路 162、164 からデューティ比が異なるパルス信号を出力するために分周器 170 を用いたが、異なるデューティ比のパルス信号を別々に生成して 2 つのアンド回路 162、164 のそれぞれに入力するようにしてもよい。また、アンド回路 164 の一方の入力端側に分周器 170 を挿入することにより、コンデンサ 110 の充電時間よりも放電時間の方が遅くなるように設定されているが、反対に放電時間よりも充電時間の方が遅くなるようにするには、アンド回路 162 の一方の入力端側に分周器 170 を挿入すればよい。あるいは、分周器 170 を取り除くことにより、コンデンサ 110 の充電時間と放電時間を同じにすることができる。

【0038】また、上述した時定数回路 100 では、コンデンサ 110 に対する充電速度と放電速度を異ならせるために、FET 144、150 のそれぞれがオン状態になる単位時間当たりの割合を異ならせたが、これらの FET のゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにしてもよい。

【0039】図 5 は、時定数回路の変形例を示す回路図である。図 5 に示す時定数回路 100 A は、図 4 に示した時定数回路 100 に対して、分周器 170 を削除するとともに、2 つの FET 144、150 をゲート寸法を変更した 2 つの FET 144 A、150 A に変更した点

が異なっている。

【0040】図 6 は、MOS 型の FET (FET) のゲート寸法を示す図である。ゲート電圧が同じであっても、ゲート幅 W とゲート長 L を変更することにより、チャネル抵抗が変化するため、ソース・ドレイン間を流れる電流は変化する。本実施形態では、充電電流を多くしてアタック時間を短くしたいため、FET 144 A のゲート幅 W を大きな値に、ゲート長 L を小さな値に設定する。一方、放電電流を少なくしてリリース時間を長くしたいため、FET 150 A のゲート幅 W を小さな値に、ゲート長 L を大きな値に設定する。このように、FET 144 A、150 A のそれぞれゲート寸法を異ならせることによって充電速度と放電速度を容易に異ならせることができる。この場合には、FET 144 A、150 A は、充電回路 114 と放電回路 116 の一部の構成をなすとともに、充放電速度設定手段としての機能を有する。

【0041】

【発明の効果】上述したように、本発明によれば、コンデンサに対して間欠的な充放電が行われるため、コンデンサの静電容量を小さくした場合であっても緩やかに端子電圧が変化し、等価的に大きな時定数を設定することができる。したがって、小さな静電容量のコンデンサを用いた場合であってもパイロット信号抽出回路内の時定数回路に大きな時定数を設定することができ、パイロット信号抽出回路全体を半導体基板上に一体形成することが可能となる。

【図面の簡単な説明】

【図 1】一実施形態のパイロット信号抽出回路を含む FM 受信機の構成を示す図である。

【図 2】パイロット信号抽出回路の詳細な構成を示す図である。

【図 3】時定数回路の原理ブロックを示す図である。

【図 4】時定数回路の具体的な構成を示す回路図である。

【図 5】時定数回路の変形例を示す回路図である。

【図 6】MOS 型の FET のゲート寸法を示す図である。

【図 7】従来のパイロット信号抽出回路の構成を示す図である。

【符号の説明】

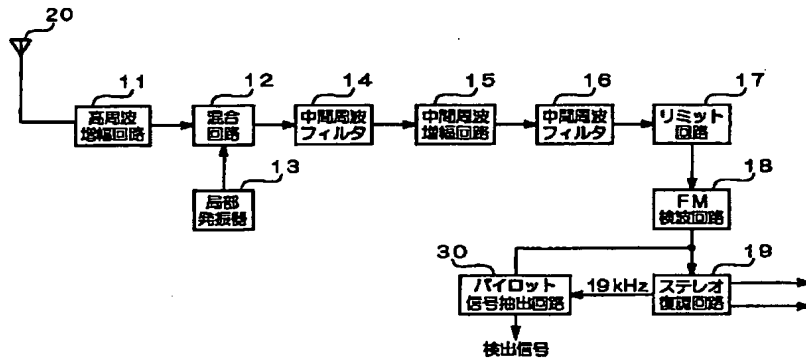
- 18 FM 検波回路
- 19 ステレオ復調回路
- 30 パイロット信号抽出回路
- 32、34 抵抗
- 36、38 FET
- 40 インバータ回路
- 42 差動増幅器
- 100、200 時定数回路
- 112、160 電圧比較器

114 充電回路
116 放電回路
140 定電流回路

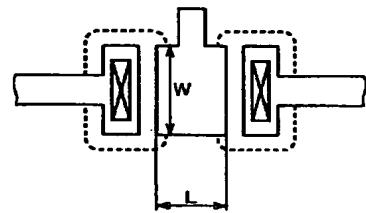
142、144、150、154、156 FET

146、152 スイッチ
162、164 アンド回路
170 分周器

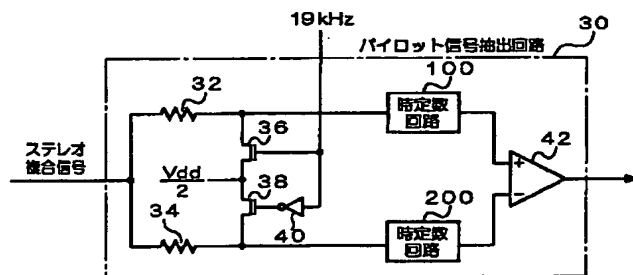
【図1】



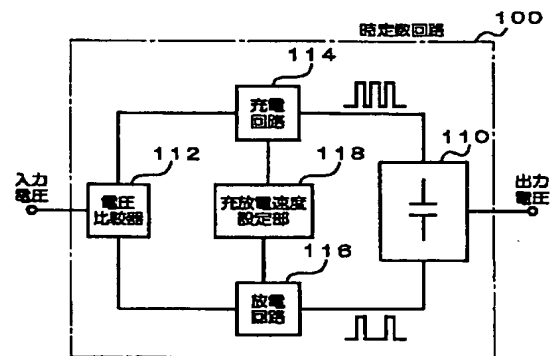
【図6】



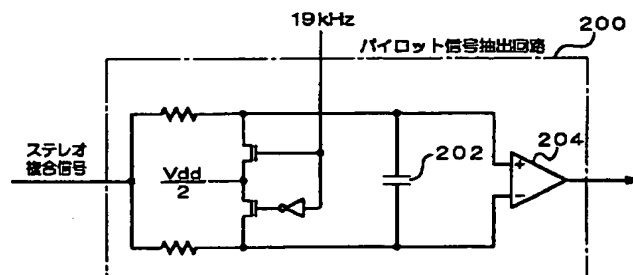
【図2】



【図3】



【図7】



[illegible]